

PTO/SB/21 (08-03)  
Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/708,327	
	Filing Date	02/24/2004	
	First Named Inventor	Pao-Cheng Chiu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	REAP0014USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	2/26/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)  
Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/708,327
Filing Date	02/24/2004
First Named Inventor	Pao-Cheng Chiu
Examiner Name	
Art Unit	
Attorney Docket No.	REAP0014USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims:  -20\*\* =  X  =   
Independent Claims:  -3\*\* =  X  =   
Multiple Dependent Claims:  =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	0.00
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

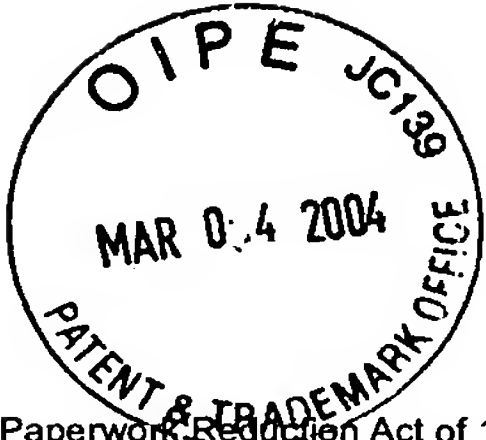
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	3/26/2004		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

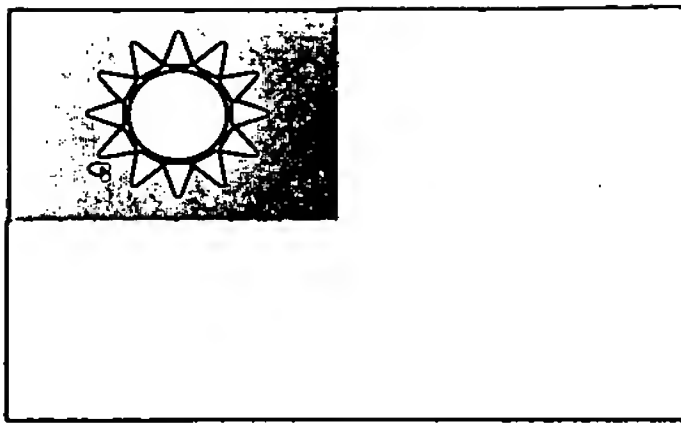
**Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.**

## DECLARATION — Supplemental Priority Data Sheet

**Additional foreign applications:**

[illegible]

**Burden Hour Statement:** This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 14 日  
Application Date

申請案號：092119174  
Application No.

申請人：瑞昱半導體股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 15 日  
Issue Date

發文字號：09221036780  
Serial No.

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	高轉低位準轉換電路
	英 文	HIGH-TO-LOW LEVEL SHIFT CIRCUIT
二、 發明人 (共2人)	姓 名 (中文)	1. 邱寶成
	姓 名 (英文)	1. Chiu, Pao-Cheng
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市文化路三十巷五號二樓
	住居所 (英 文)	1. 2F, No. 5, Lane 30, Wen-Hwa Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓 名 (英文)	1. Realtek Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2 Industry E. Rd. IX, Hsin-Chu Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. Yeh, Po-Len

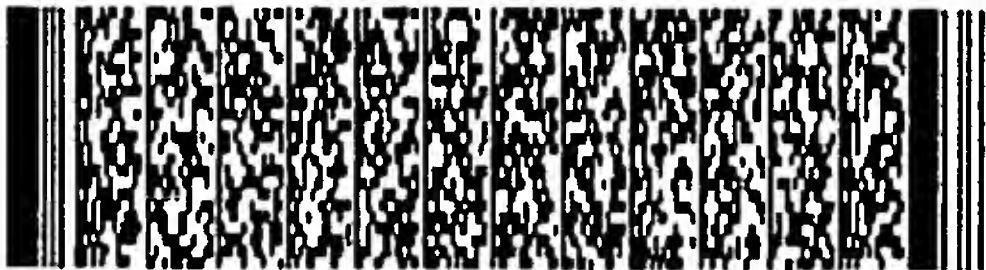


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 陳慕蓉
	姓 名 (英 文)	2. Chen, Mu-Jung
	國 籍 (中 英 文)	2. 中華民國 TW
	住居所 (中 文)	2. 高雄市苓雅區福德一路三十四號之一
	住居所 (英 文)	2. No. 34-1, Fu-Te 1st Rd., Lin-Ya District, Kao-Hsiung City, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：高轉低位準轉換電路)

一種高轉低位準轉換電路，耦合於一外部第一訊號，用來將該外部第一訊號轉換成一內部訊號，其中該外部第一訊號實質上切換於一高壓區高電位與一高壓區低電位之間，該內部訊號實質上切換於一低壓區高電位與一低壓區低電位之間。該高轉低位準轉換電路包含有：一反相器，用來依據該外部第一訊號產生與之反相之外部第二訊號；以及一位準轉換器，用來依據該外部第一訊號及該外部第二訊號產生該內部訊號。

五、(一)、本案代表圖為：第五圖

(二)、本案代表圖之元件代表符號簡單說明

500	高轉低位準轉換電路
520	高壓區反相器
524	高壓 PMOS 電晶體

六、英文發明摘要 (發明名稱：HIGH-TO-LOW LEVEL SHIFT CIRCUIT)

A high-to-low level shift circuit, coupled to a first external signal, for transforming the first external signal into an internal signal, wherein the first external signal substantially switches between a high-voltage-domain high potential and a high-voltage-domain low potential, the internal signal substantially switches between a low-voltage-domain high potential and a low-voltage-





四、中文發明摘要 (發明名稱：高轉低位準轉換電路)

526、540、560 高壓 NMOS電晶體

六、英文發明摘要 (發明名稱：HIGH-TO-LOW LEVEL SHIFT CIRCUIT)

domain low potential. The high-to-low level shift circuit includes: an inverter, for generating a second external signal according to the first external signal, wherein the second external signal is inverse to the first external signal; and a level shifter, for generating the internal signal according to the first external signal and the second external signal.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

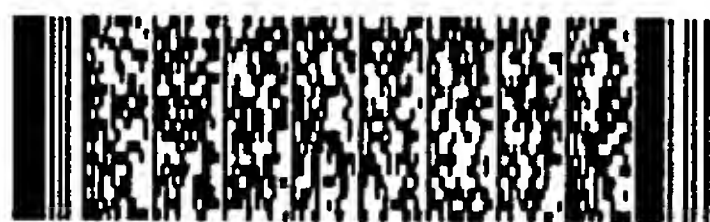
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

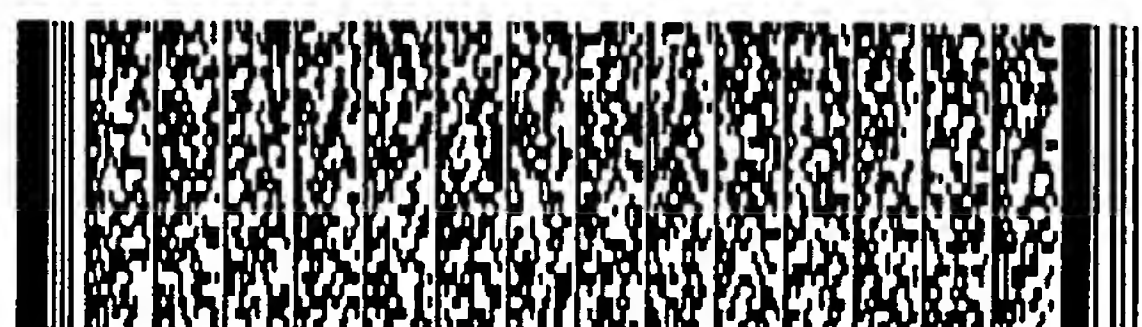
### 發明所屬之技術領域

本發明係提供一種高轉低位準轉換電路，尤指一種轉換不同工作電壓之高轉低位準轉換電路。

### 先前技術

積體電路因為功率及電路積集度的考量，其所需的工作電壓通常會小於外部系統的工作電壓。以工作電壓為1.2V的積體電路系統為例，分別使用1.2V與0V的電位來表示邏輯訊號1與0。但是，外部系統的工作電壓通常會比積體電路的工作電壓大。例如：一般設置於主機板上的電路元件的工作電壓係為5V或3.3V。亦即使用5V或3.3V的電位來表示邏輯訊號1，使用0V來表示邏輯訊號0。因此，在積體電路中，需要設置一個高工作電壓轉低工作電壓之位準轉換電路（level shift circuit），用來對輸入積體電路之邏輯訊號進行位準轉換，以將切換於5V或3.3V與0V間的邏輯訊號轉變為切換於1.2V與0V間的邏輯訊號。

在積體電路中，可操作於0V與5V/3.3V之間的邏輯元件稱為高壓元件，而操作於0V與1.2V之間的邏輯元件稱為低壓元件。以金氧半導體電晶體（metal-oxide-semiconductor transistor，以下簡稱MOS電晶體）而

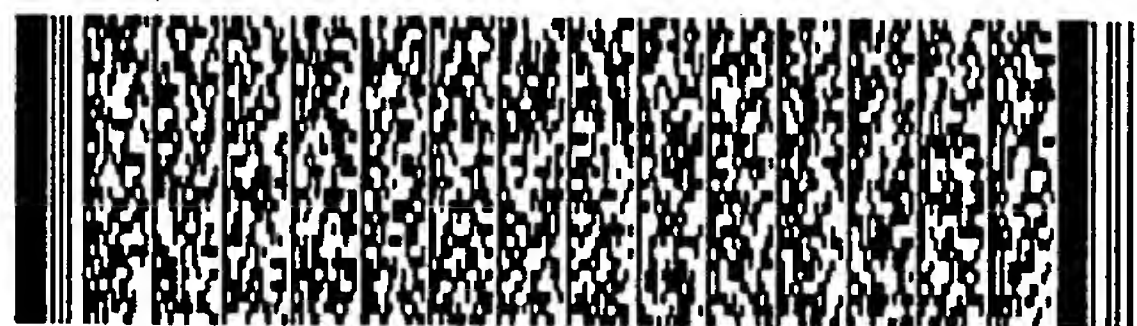


## 五、發明說明 (2)

言，高壓元件與低壓元件通常與氧化層的厚度有關，一般而言，高壓 MOS 電晶體氧化層的厚度會厚於低壓 MOS 電晶體氧化層的厚度，因而也造成了高壓 MOS 電晶體的閾電壓 (threshold voltage) 大於低壓 MOS 電晶體的閾電壓。舉例而言，一般高壓 MOS 電晶體的閾電壓通常為 0.9V。

圖一為習知的高轉低位準轉換電路之電路圖。圖一中習知的高轉低位準轉換電路 100 係設置於積體電路 150 中，並且與外部電路 180 耦接。其中外部電路 180 之工作電壓為  $VDDH=3.3V$ 、 $VSSH=0V$ ，而積體電路 150 內部之工作電壓為  $VDDL=1.2V$ 、 $VSSL=0V$ 。習知高轉低位準轉換器 100 包含有一高壓 PMOS 電晶體 140 與一高壓 NMOS 電晶體 160，由於位準轉換器需接收外部電路之邏輯訊號，故必須是高壓元件。當外部訊號 SH1 為邏輯訊號 1 時，電位等於  $VDDH$ ，高壓 NMOS 電晶體 160 會被開啟，因此內部訊號 SL1 會被拉低至  $VSSL$ 。相反的，當外部訊號 SH1 為邏輯訊號 0 時，電位等於  $VSSH$  時，高壓 PMOS 電晶體 140 會被開啟，因此內部訊號 SL1 很快的會被拉高成  $VDDL$ 。

請參閱圖二，圖二為圖一中各訊號的時脈圖之一例。由圖二中可以看出，在前述情況下，邏輯訊號可以正常的傳遞。



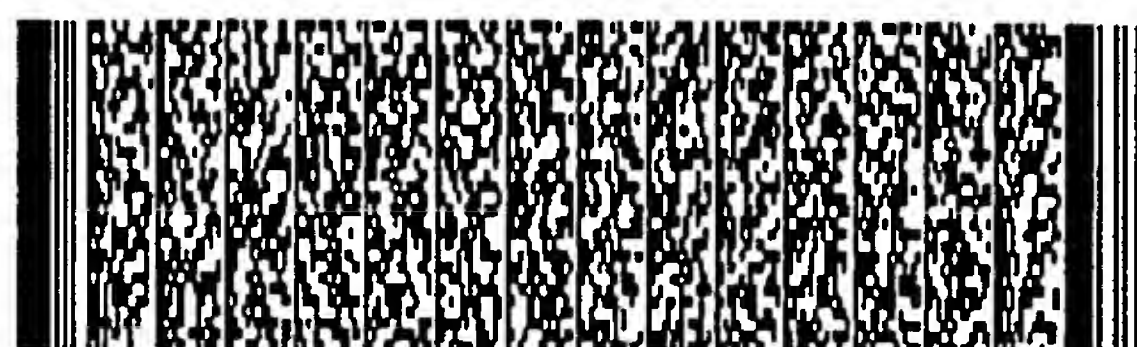
### 五、發明說明 (3)

但是隨著積體電路製程的進步，積體電路所需的工作電壓越來越小。在先進的積體電路系統中，工作電壓可以低到 1V、0.9V甚至是更低的電位。此時習知之高轉低位準轉換電路 100在傳遞邏輯訊號時就會產生錯誤。

以  $VDDL = 1V$  的情形為例（假設其他參數都不變）。當外部訊號 SH1實質上等於  $VDDH$  時，內部訊號 SL1很快的會被拉低成  $VSSL$ 。但是，當外部訊號 SH1實質上等於  $VSSH$  時，高壓 PMOS電晶體 140的汲極與源極雖然是導通的，但是由於此時的等效電阻值變得無法忽略，導致內部訊號 SL1之電位上昇時間大幅地增加，如此即增加了積體電路之電位切換時間。若是外部訊號 SH1的操作頻率提高，使得其等於  $VSSH$  的時間不夠長時，內部訊號 SL1甚至來不及被拉高至  $VDDL$ ，此時邏輯訊號就會如圖三的情況下產生錯誤。

而當  $VDDL = 0.9V$ ，甚至小於 0.9V時（假設其他參數都不變）。由於高壓元件之閾電壓  $= 0.9V$ ，此時當外部訊號為  $VSSH$  時，高壓 NMOS電晶體 160甚至無法被開啟，此時邏輯訊號之錯誤情形會如圖四所示。

因此，習知之高轉低位準轉換電路的缺點是，在積體電路之工作電壓越來越小的情況下，會產生邏輯訊號無法正常傳遞的情形。





## 五、發明說明 (4)

### 發明內容

因此本發明的主要目的，在於提供一種在低壓區高電位降低時，可正常傳遞邏輯訊號的高轉低位準轉換電路。

根據本發明之申請專利範圍，係揭露一種高轉低位準轉換電路，耦合於一外部第一訊號，用來將該外部第一訊號轉換成一內部訊號，其中該外部第一訊號實質上切換於一高壓區高電位與一高壓區低電位之間，該內部訊號實質上切換於一低壓區高電位與一低壓區低電位之間。該高轉低位準轉換電路包含有：一反相器，用來依據該外部第一訊號產生與之反相之外部第二訊號；一位準轉換器，用來依據該外部第一訊號及該外部第二訊號產生該內部訊號。其中，該內部訊號之邏輯值係與該外部第一訊號相對應。

### 實施方式

請參閱圖五，圖五為本發明高轉低位準轉換電路第一實施例之電路圖。高轉低位準轉換電路 500 耦合於一外部第一訊號 SH1，用來將外部第一訊號 SH1 轉換成一內部訊號 SL1，其中外部第一訊號 SH1 實質上切換於 VDDH (5V/3.3V) 與 VSSH(0V) 之間，內部訊號 SL1 實質上切換

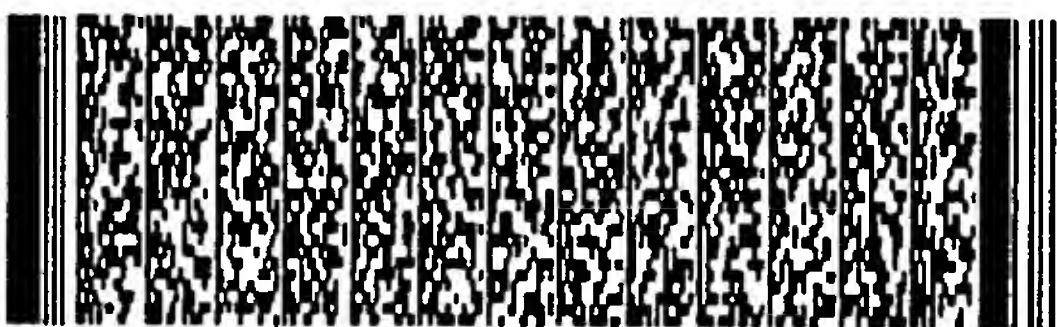


#### 五、發明說明 (5)

於 VDDL(在本實施例中，小於 0.9V)與 VSSL(0V)之間。高轉低位準轉換電路 500 包含有：一反相器 520，用來接收外部第一訊號 SH1 以輸出一外部第二訊號 SH2，一拉高元件（本實施例中即高壓 NMOS 電晶體 540），與反相器 520 耦接，以及一拉低元件（本實施例中即高壓 NMOS 電晶體 560），與外部第一訊號 SH1 耦接。在本實施例中，反相器 520 係設置於外部電路，而拉高元件 540 及拉低元件 560 則設置於積體電路內部，且拉高元件 540 及拉低元件皆為高壓元件，閾電壓為 0.9V。

當外部第一訊號 SH1 為邏輯訊號 1，亦即電位實質上等於 VDDH 時，反相器 520 會依據外部第一訊號 SH1 輸出外部第二訊號 SH2，其電位實質上等於 VSSH。如此，高壓 NMOS 電晶體 560 會被開啟，且高壓 NMOS 電晶體 540 會維持關閉。由於高壓 NMOS 電晶體 560 電路等效於一小電阻，故內部訊號 SL1 很快的會被拉低為 VSSL。

而當外部第一訊號 SH1 為邏輯訊號 0，亦即電位實質上等於 VSSH 時，反相器 520 會依據外部第一訊號 SH1 輸出外部第二訊號 SH2，電位實質上等於 VDDH。此時，高壓 NMOS 電晶體 560 為關閉，且高壓 NMOS 電晶體 540 會被開啟，由於高壓 NMOS 電晶體 540 電路等效於一小電阻，故內部訊號 SL1 的電位會被充電成 VDDL。



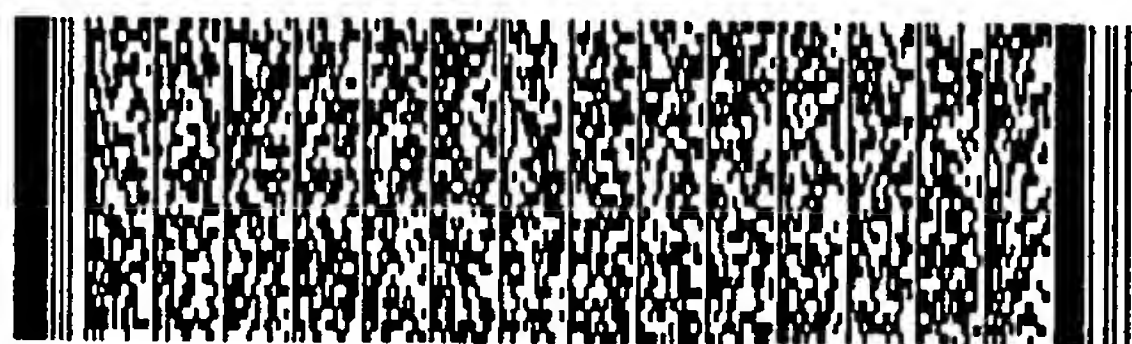
#### 五、發明說明 (6)

請參閱圖六，圖六為圖五中各訊號的時脈圖之一例。由圖六中可以看出，在上述情形下，邏輯訊號皆可以正常的傳遞。

請參閱圖七，圖七為本發明高轉低位準轉換電路第二實施例之電路圖。圖七與圖五的不同之處僅在於圖七中拉高元件（即高壓 NMOS 電晶體 740）係耦合於外部第一訊號 SH1；拉低元件（即高壓 NMOS 電晶體 760）則耦合於反相器 720 所輸出的外部第二訊號 SH2。圖五與圖七實施例的操作原理大致相同，在  $VDDL$  小於 0.9V 的情形下皆可以正常傳遞邏輯訊號。只是圖五中的外部第一訊號 SH1 與內部訊號 SL1 會有反相的關係，而圖七中的外部第一訊號 SH1 與內部訊號 SL1 則會有同相的關係，圖八則為圖七中各訊號的時脈圖之一例。

相較於習知技術，本發明之高轉低位準轉換電路在面臨積體電路內部工作電壓越來越低的情形時，仍然能夠正確的將外部高工作電壓的邏輯訊號轉換成內部低工作電壓區的邏輯訊號，因此可以解決習知技術所面臨的問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為習知的高轉低位準轉換電路之電路圖。

圖二為圖一中各訊號的時脈圖之一例。

圖三為圖一中各訊號的時脈圖之一例。

圖四為圖一中各訊號的時脈圖之一例。

圖五為本發明高轉低位準轉換電路第一實施例之電路圖。

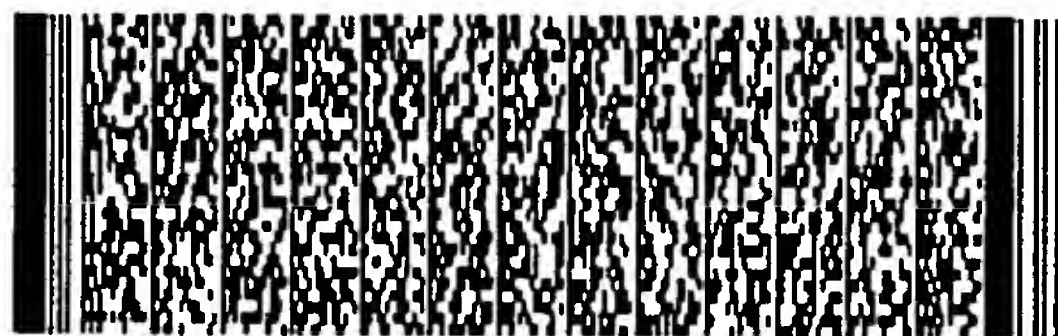
圖六為圖五中各訊號的時脈圖之一例。

圖七為本發明高轉低位準轉換電路第二實施例之電路圖。

圖八為圖七中各訊號的時脈圖之一例。

### 圖式之符號說明

100、500、700	高轉低位準轉換電路
140、524、724	高壓 PMOS電晶體
150	積體電路
160、526、540、560、726、740、760	高壓 NMOS電晶體
180	外部電路
520、720	高壓區反相器





#### 六、申請專利範圍

1. 一種高轉低位準轉換電路，耦合於一第一電壓與一第二電壓，其中該第一電壓係大於該第二電壓，該高轉低位準轉換電路包含有：

一反相器，用來接受一輸入信號，以輸出一反相輸入信號，該反相器係工作於該第一電壓；以及  
一位準轉換器，用來依據該輸入信號及該反相輸入信號輸出一輸出信號，其中，該位準轉換器係工作於該第二電壓，該輸出信號之電壓準位係相對於該第二電壓，且該輸出信號之邏輯值係與該輸入信號相對應。

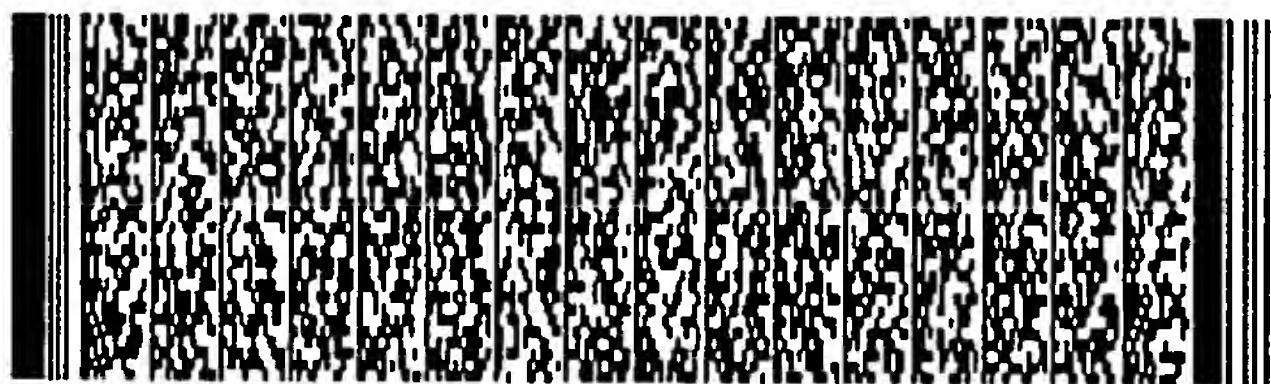
2. 如申請專利範圍第1項所述之高轉低位準轉換電路，其中該反相器包含有：

一第一PMOS電晶體，其源極耦合於該第一電壓；以及  
一第一NMOS電晶體，其閘極耦合於該第一PMOS電晶體之閘極，形成一第一輸入端，其汲極耦合於該第一PMOS電晶體之汲極，其源極接地；

其中第一輸入端係用來接受該輸入信號。

3. 如申請專利範圍第1項所述之高轉低位準轉換電路，其中該位準轉換器包括一拉高元件及一拉低元件。

4. 如申請專利範圍第3項所述之高轉低位準轉換電路，其中，該拉高元件係用來接收該輸入信號，該拉低元件係用來接收該反相輸入信號，且該拉高元件及該拉低元件





#### 六、申請專利範圍

係耦接於該輸出信號。

5.如申請專利範圍第3項所述之高轉低位準轉換電路，其中，該拉高元件係用來接收該反相輸入信號，該拉低元件係用來接收該輸入信號，且該拉高元件及該拉低元件係耦接於該輸出信號。

6.如申請專利範圍第3項所述之高轉低位準轉換電路，其中該拉高元件係為一第二NMOS電晶體。

7.如申請專利範圍第3項所述之高轉低位準轉換電路，其中該拉低元件係為一第三NMOS電晶體。

8.如申請專利範圍第3項所述之高轉低位準轉換電路，其中該拉高元件及該拉低元件係為高壓元件。

9.如申請專利範圍第1項所述之高轉低位準轉換電路，其中該位準轉換器係設置於一積體電路之內部。

10.如申請專利範圍第1項所述之高轉低位準轉換電路，其中該反相器係設置於一積體電路之外部。

11.一種高轉低位準轉換電路，包含有：  
一第一電晶體，用來接收一第一輸入信號；



#### 六、申請專利範圍

一 第二電晶體，用來接收與該第一輸入信號反相之一第二輸入信號，其中，該第一電晶體與該第二電晶體係耦接於一輸出端，用來輸出一輸出信號，該輸出信號之邏輯值係與該輸入信號相對應；

其中，該第一輸入信號與該第二輸入信號之電壓準位係相對於該第一電壓，該輸出信號之電壓準位係相對於該第二電壓，且該第一電壓係大於該第二電壓。

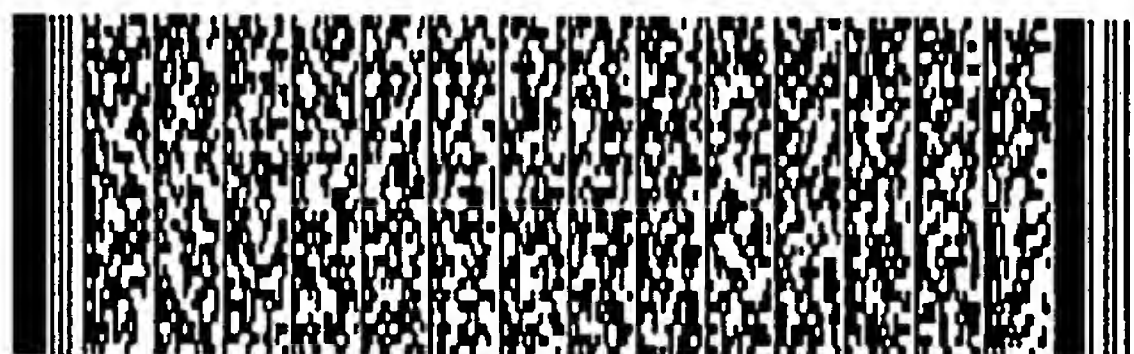
12.如申請專利範圍第11項所述之高轉低位準轉換電路，其中該第一電晶體及該第二電晶體係為NMOS電晶體。

13.如申請專利範圍第11項所述之高轉低位準轉換電路，其中該第一電晶體及該第二電晶體可工作於該第一電壓。

14.如申請專利範圍第11項所述之高轉低位準轉換電路，其中該第一電晶體係耦接於該第二電壓。

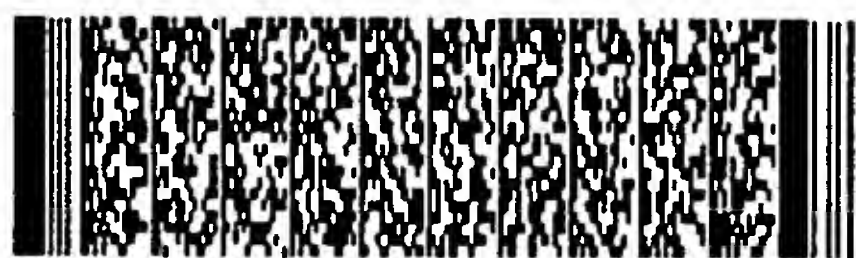
15.如申請專利範圍第11項所述之高轉低位準轉換電路，其中該高轉低位準轉換電路係設置於一積體電路之內部。

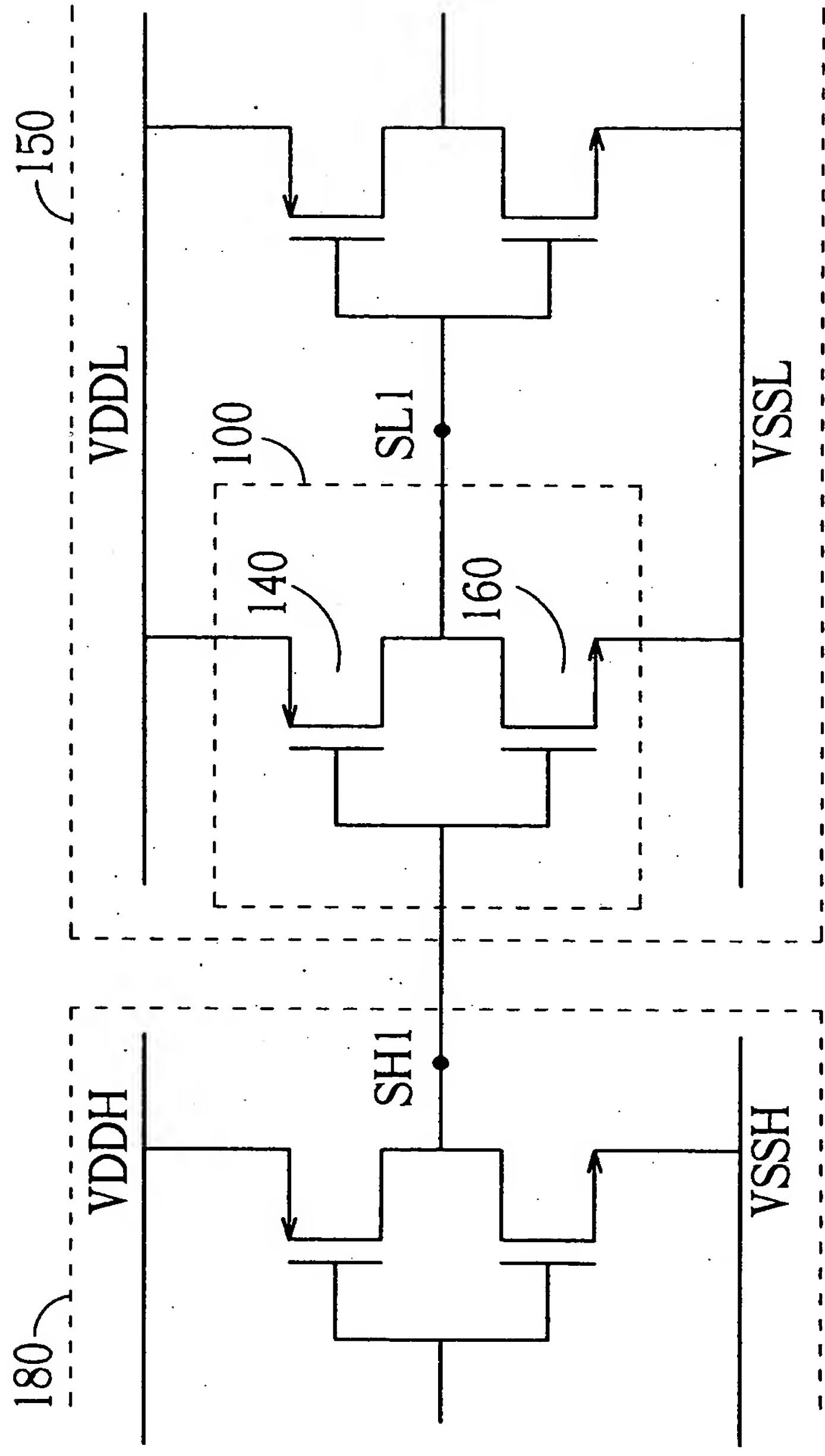
16.如申請專利範圍第11項所述之高轉低位準轉換電路，其中該第一電壓係為3.3V。



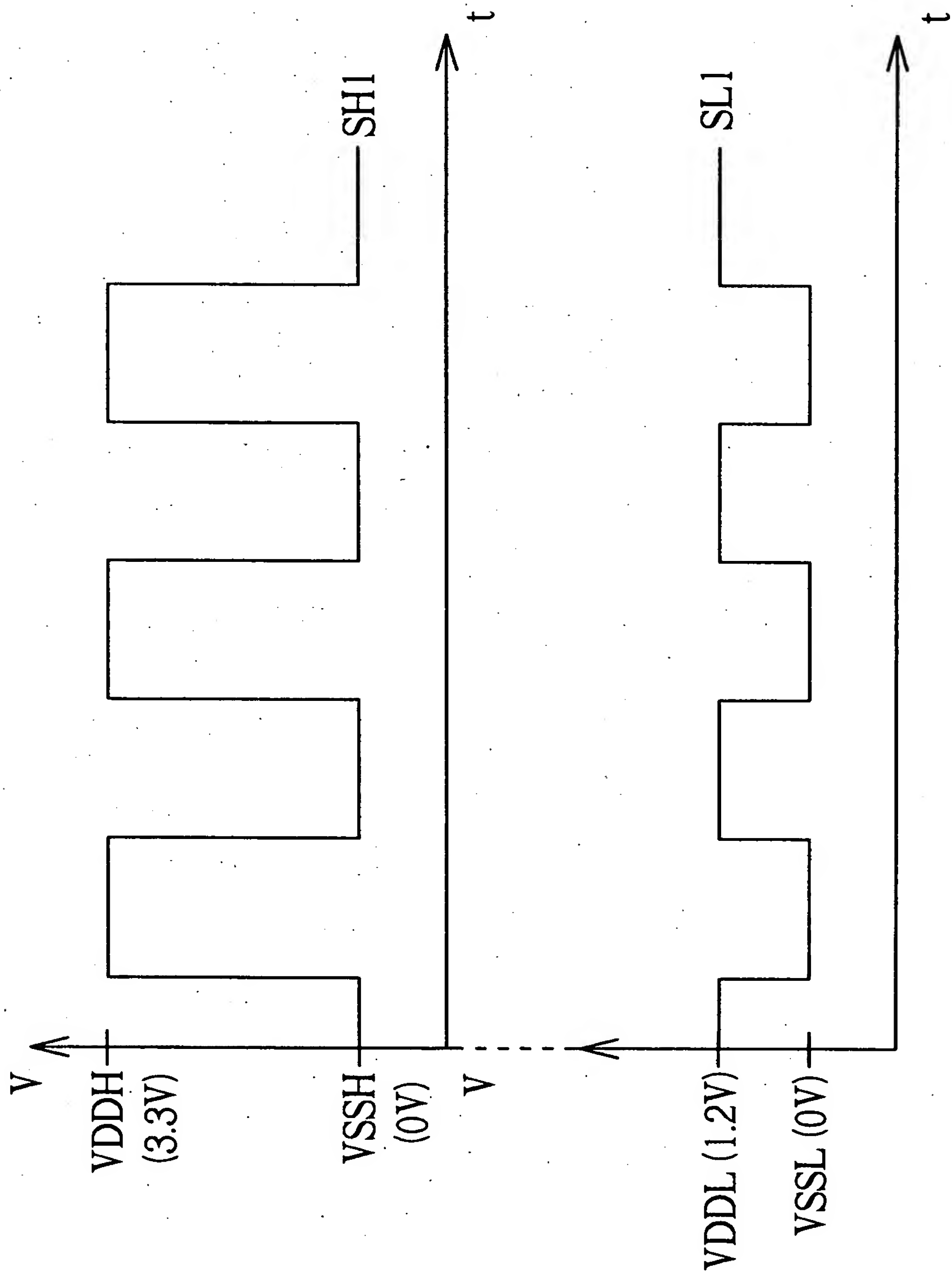
六、申請專利範圍

17.如申請專利範圍第11項所述之高轉低位準轉換電路，其中該第二電壓係小於0.9V。



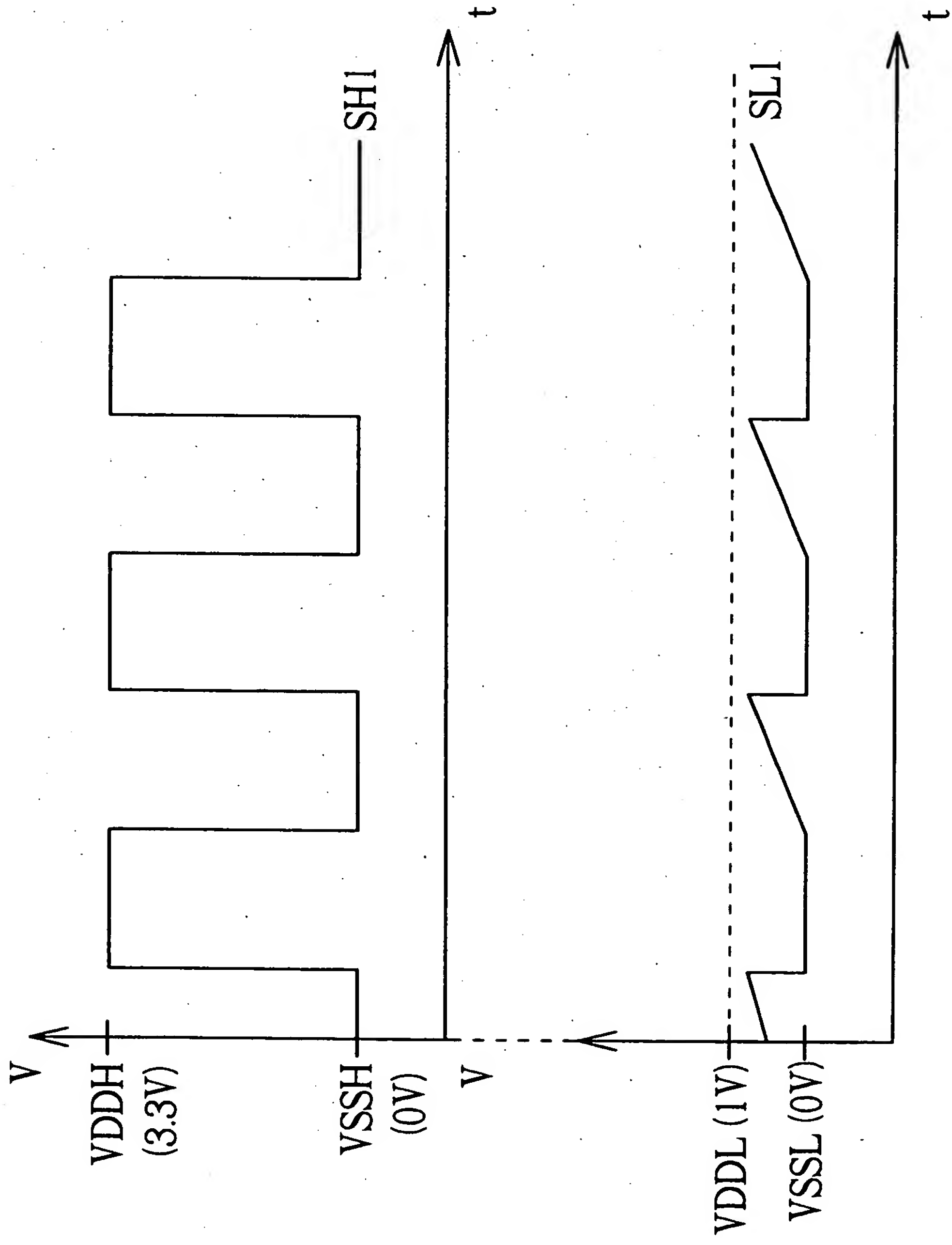


圖一

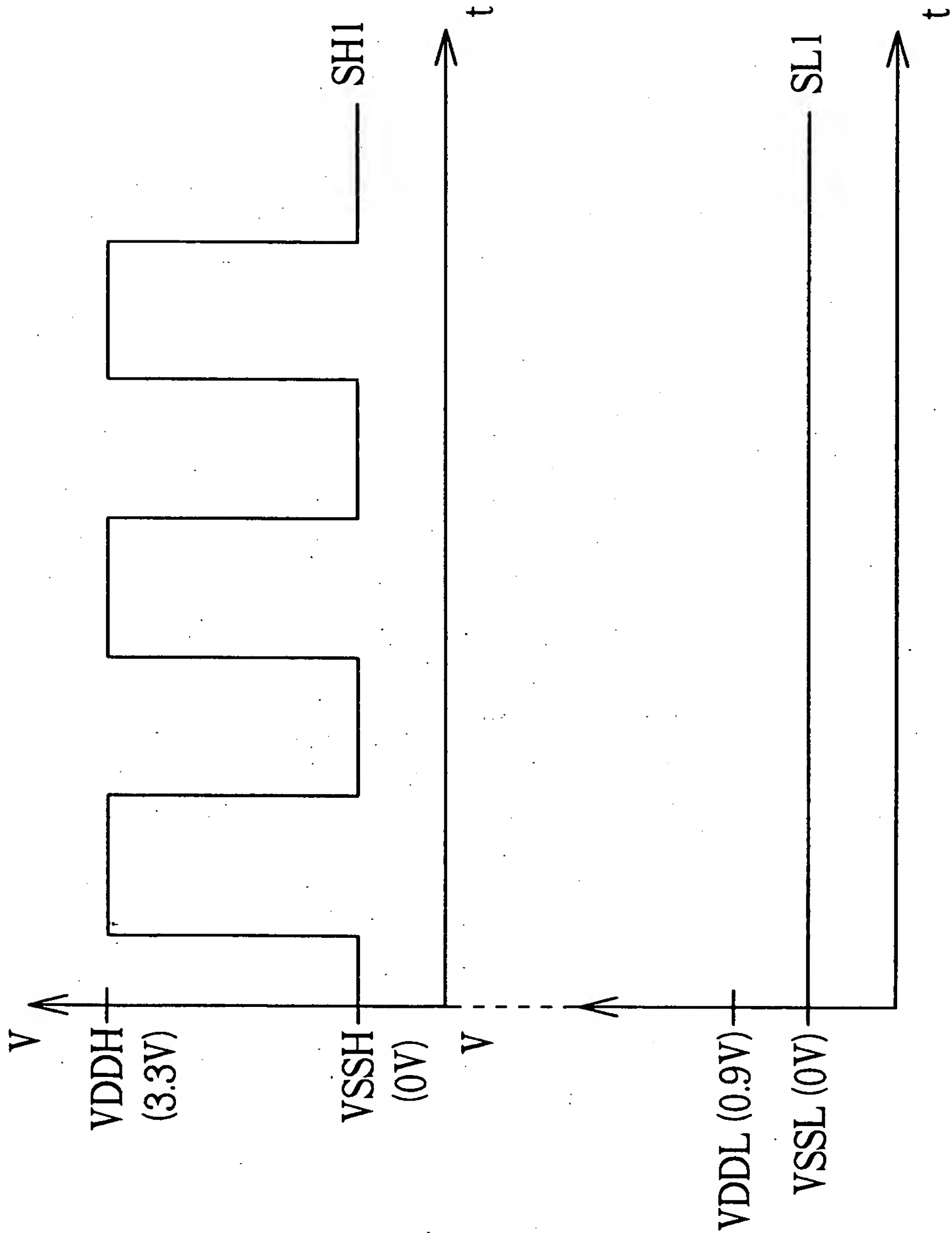


圖二

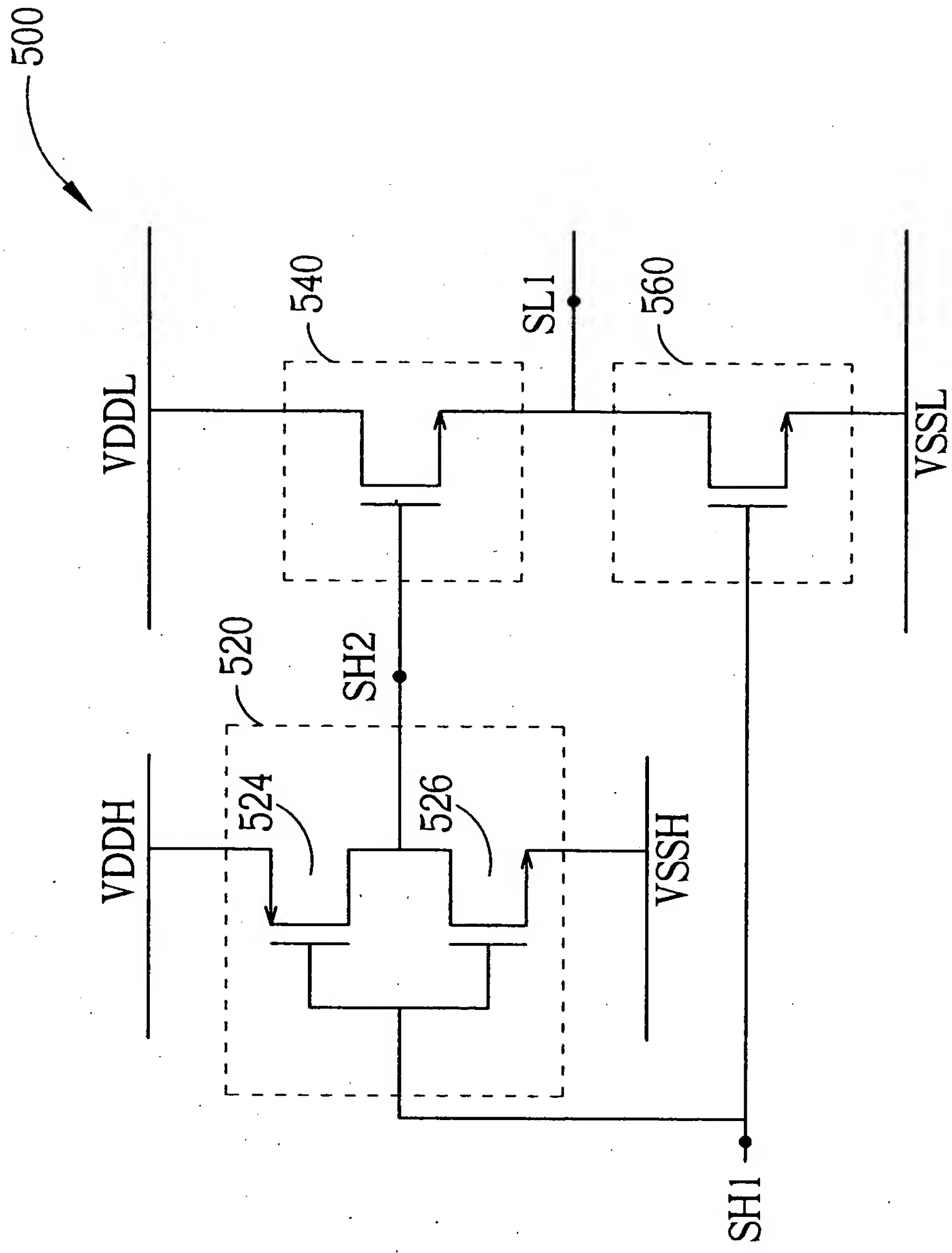




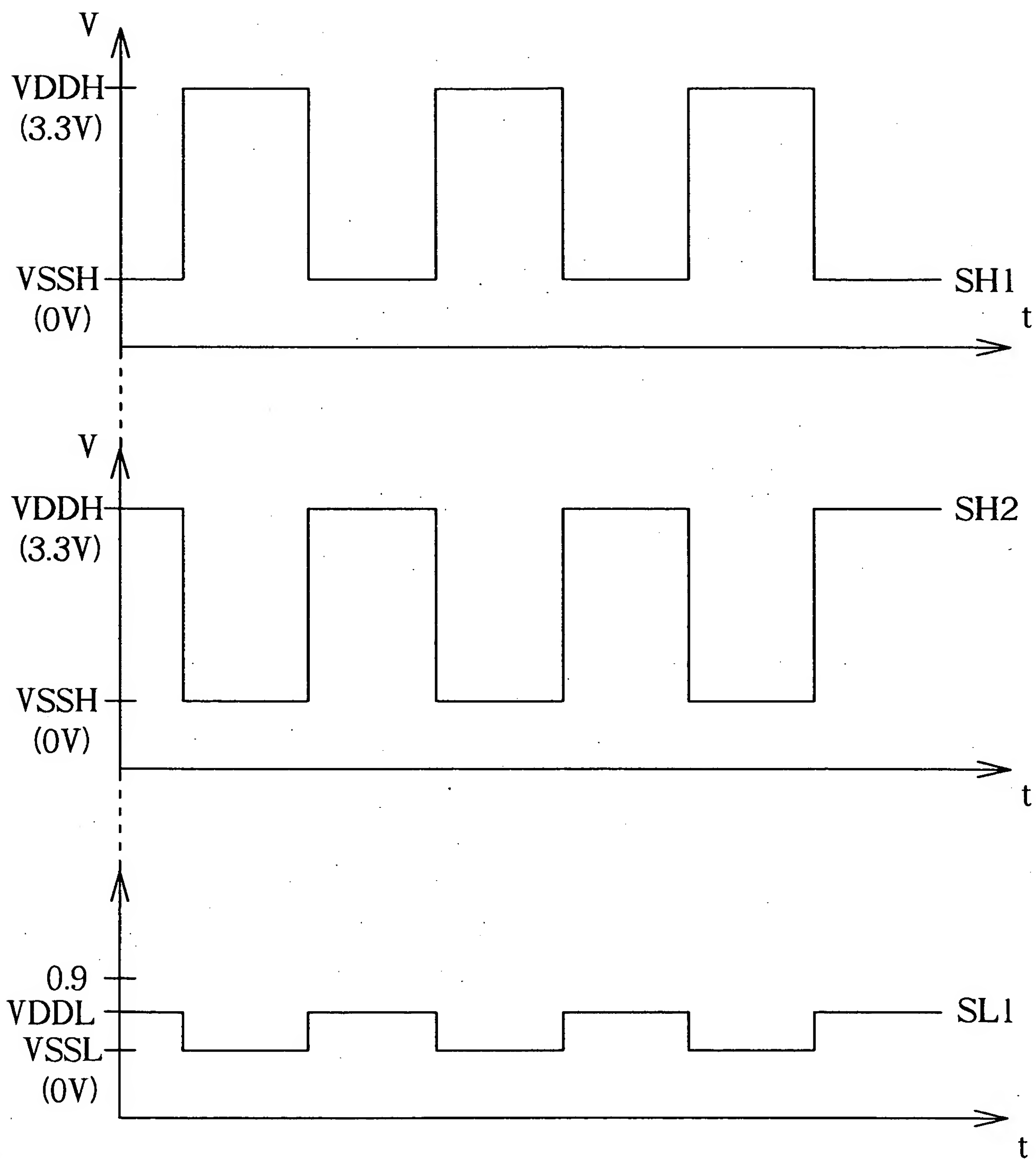
圖三



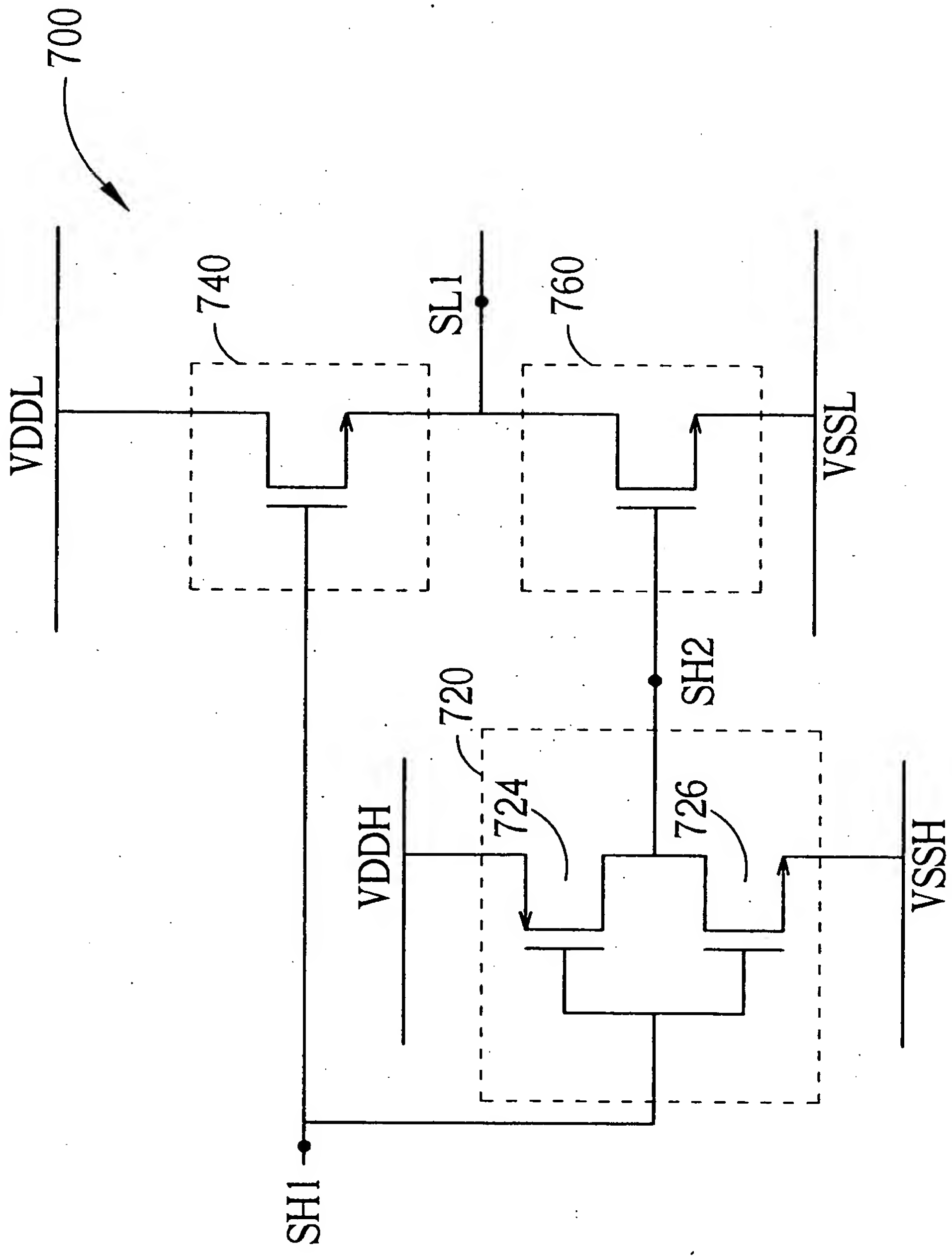
圖四



圖五

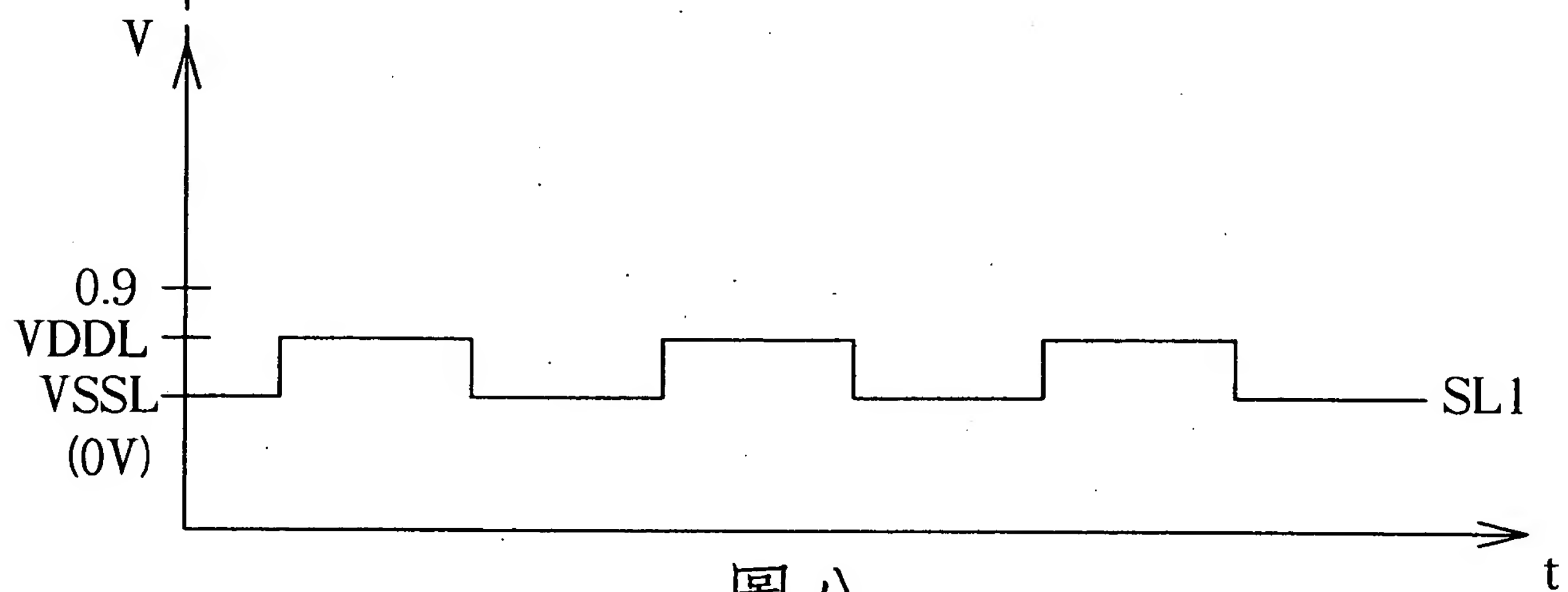
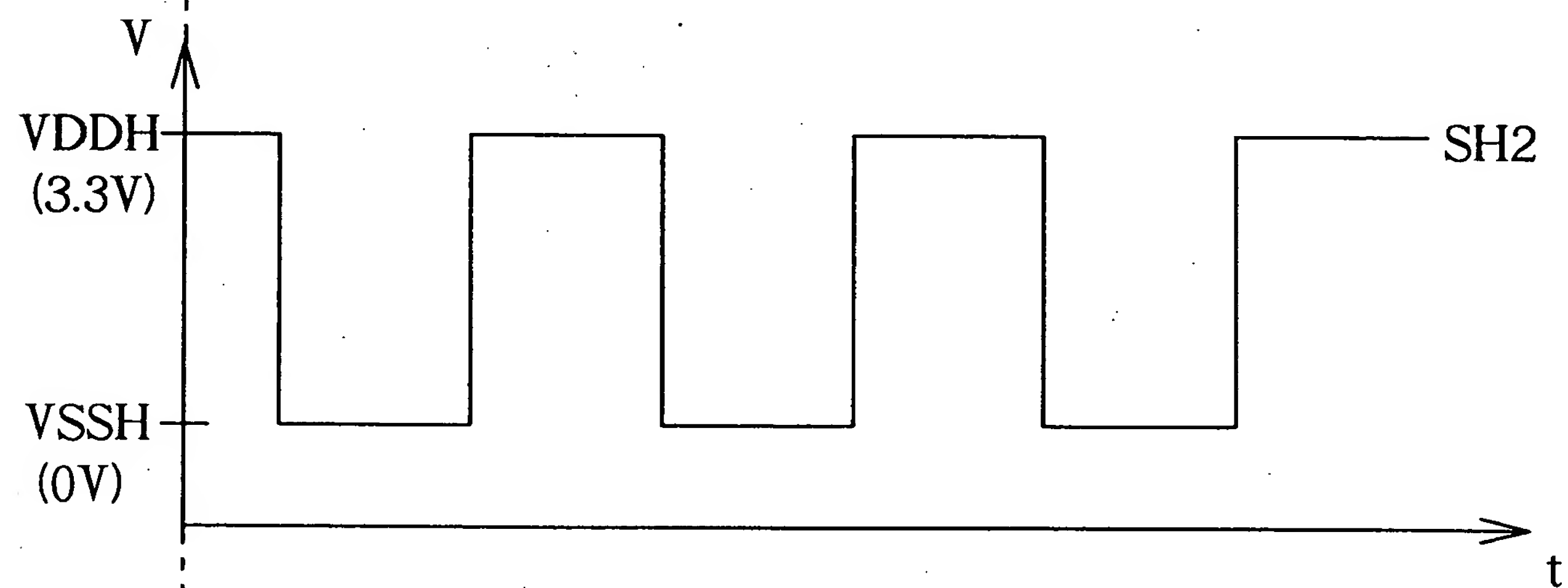
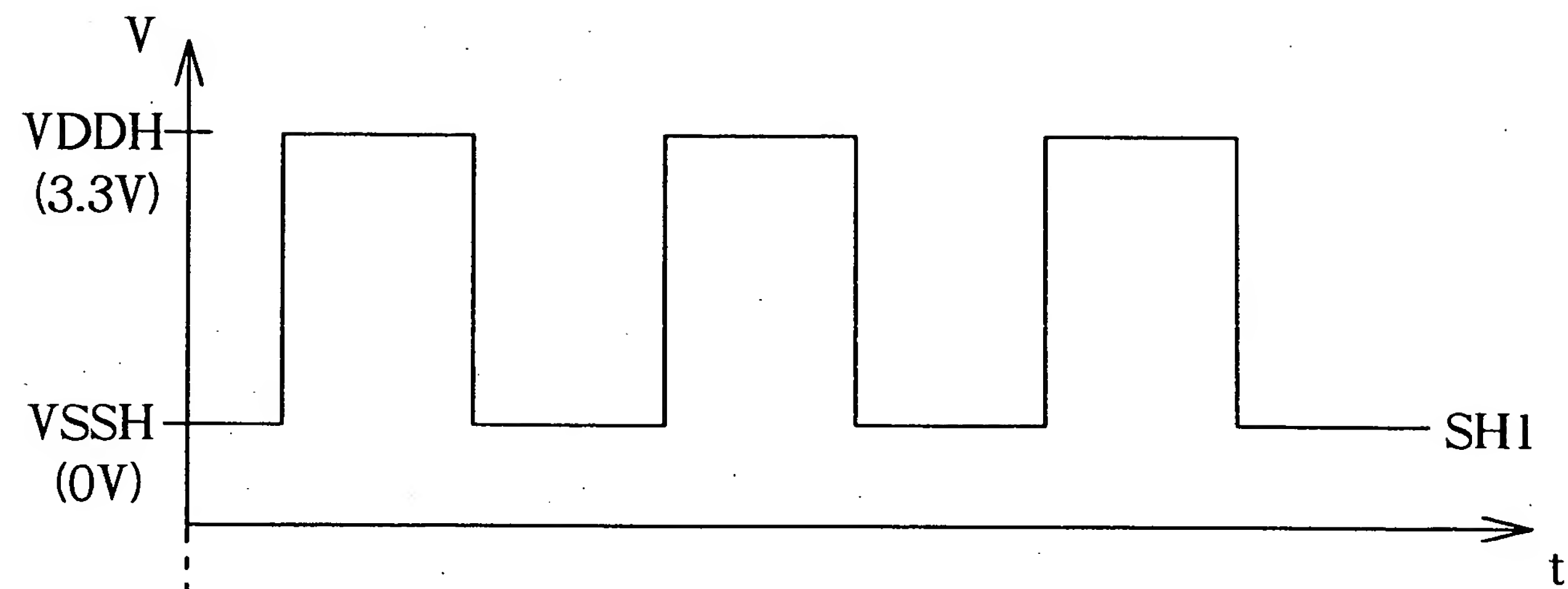


圖六



圖七



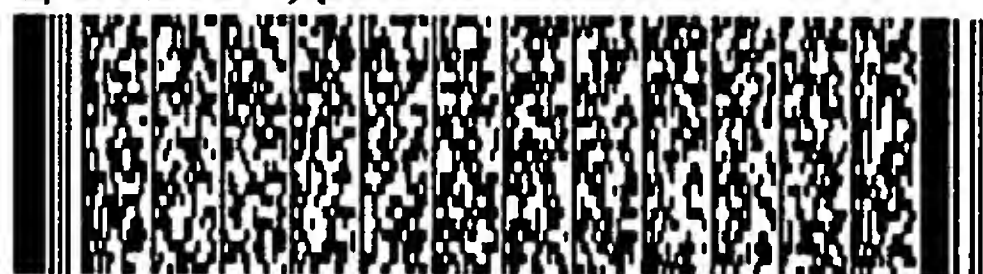


圖八

第 1/16 頁



第 2/16 頁



第 3/16 頁



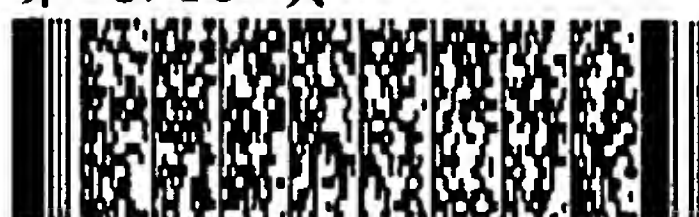
第 3/16 頁



第 4/16 頁



第 5/16 頁



第 6/16 頁



第 6/16 頁



第 7/16 頁



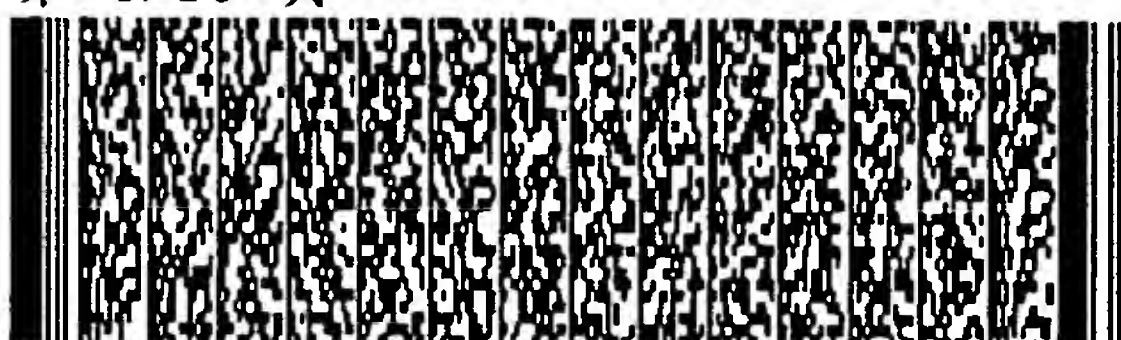
第 7/16 頁



第 8/16 頁



第 8/16 頁



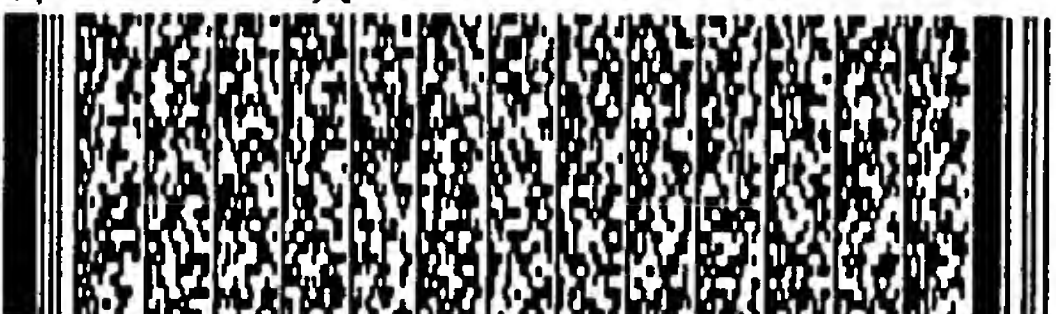
第 9/16 頁



第 10/16 頁



第 10/16 頁

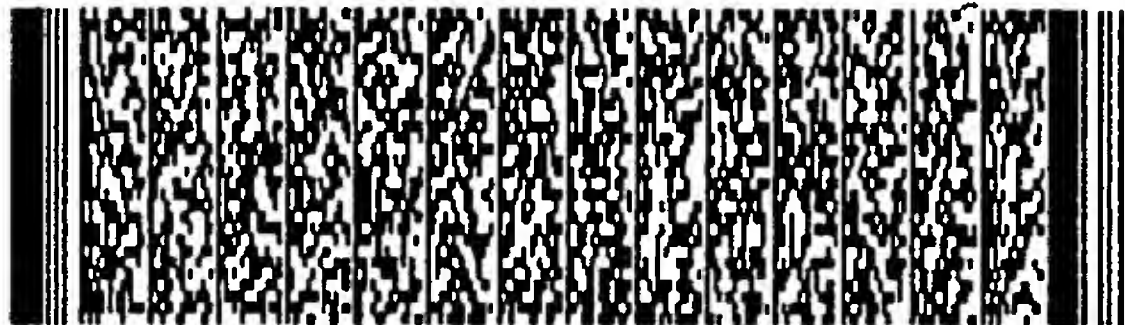


第 11/16 頁





第 11/16 頁



第 12/16 頁



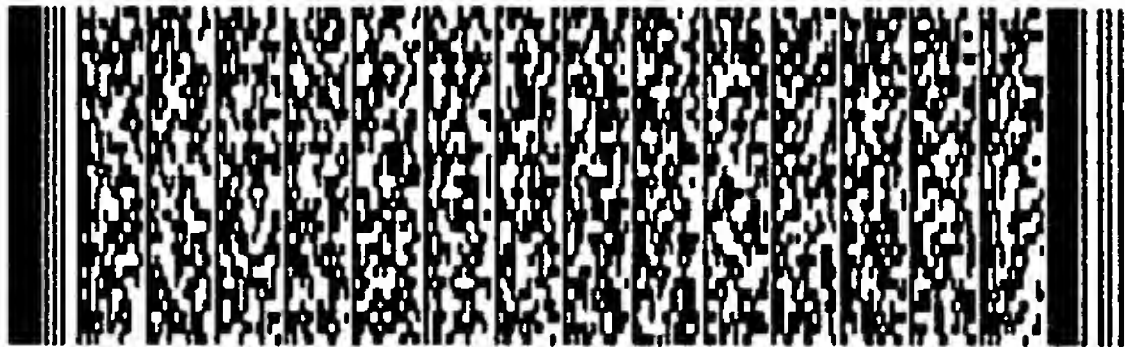
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁



...

...